

ĐÁNH GIÁ HIỆU NĂNG CỦA CHIP ĐA NHÂN VỚI CÁC CẤP CACHE

EVALUATING PERFORMANCE OF CHIP MULTI-CORE WITH CACHE LEVEL

Nguyễn Duy Việt¹, Dư Đình Viên^{1,*}, Phạm Văn Hải², Vũ Ngọc Hưng³, Hồ Khánh Lâm³

¹Trường Đại học Công nghiệp Hà Nội

²Viện Đại học Mở Hà Nội,

³Trường Đại học Sư phạm Kỹ thuật Hưng Yên

*Email: viendd@hau.edu.vn

Ngày nhận bài: 11/05/2017

Ngày nhận bài sửa sau phản biện: 13/06/2017

Ngày chấp nhận đăng: 26/02/2018

TÓM TẮT

Sự phát triển nhanh chóng của công nghệ chip đa nhân đã làm đổi mới nhiều lĩnh vực công nghệ như điện tử - viễn thông, công nghệ thông tin. Với sự đưa vào các tổ chức cache đa lớp, hiệu năng của chip đa nhân đã và đang được nhiều nhà công nghệ và nghiên cứu quan tâm. Đã có nhiều giải pháp đánh giá hiệu năng của các chip đa nhân. Trong bài báo này, nhóm tác giả xây dựng mô hình rút gọn, các biểu thức tính các tham số hiệu năng và sau đó tính toán các tham số hiệu năng trên cơ sở sử dụng mạng hàng đợi đóng đa lớp công việc dạng tích (MCPFCQN) với 05 tham số: Số lượng khách hàng, thời gian chờ đợi, thời gian đáp ứng, mức độ sử dụng và thông lượng. Kết quả cho thấy rằng khi số cấp cache tăng lên, các tham số: số lượng khách hàng, thời gian chờ đợi, mức độ sử dụng và thông lượng đều tăng lên, ngược lại, thời gian đáp ứng giảm xuống.

Từ khóa: Chip đa nhân, mạng hàng đợi đóng dạng tích đa lớp công việc (MCPFCQN), hiệu năng.

ABSTRACT

Chip multi-core (CMP) is applied widely in high performance computer systems and super computers. The performance of CMP with application of cache multi-level structure is interested by many researchers. There are many solutions used to evaluate the performance of MCP. In this paper, the authors build equivalent circuit, closed form and calculating the performance parameters based on MCPFCQN. The performance evaluation of CMP is characterised by 05 parameters: number of jobs, waiting time, response time, utilization and capacity. The results show that when the number of caches increases, number of jobs, waiting time, utilization and capacity are increased too, but response time is decreased.

Keywords: Chip multi-core, Multiple Job Class Product Form Closed Queueing Network (MCPFCQN), performance.