

NÂNG CAO HIỆU QUẢ LỌC VÀ SỬ DỤNG TÀI NGUYÊN PHẦN CỨNG CHO BỘ LỌC CIC TRONG KIẾN TRÚC THU VÔ TUYẾN SDR

IMPROVE FILTERING EFFICIENTLY AND UTILIZING HARDWARE RESOURCE
FOR CIC FILTER IN SDR WIRELESS RECEIVER ARCHITECTURE

Trần Đình Thông^{1*}, Dư Đình Viên¹, Phạm Thị Thanh Huyền¹, Đặng Cẩm Thạch¹, Dương Thị Hằng¹

¹Trường Đại học Công nghiệp Hà Nội

*Email: thong77.hau@gmail.com

Ngày nhận bài: 22/11/2016

Ngày nhận bài sửa sau phản biện: 24/02/2017

Ngày chấp nhận đăng: 28/02/2017

TÓM TẮT Trước đây, hầu hết các thiết bị máy thu vô tuyến chỉ dựa trên kỹ thuật tương tự cho nên các thiết bị phụ thuộc nhiều về phần cứng và không linh động trong việc thay đổi cấu hình. Với sự phát triển của công nghệ DSP và các kỹ thuật điện tử đã có sự thay đổi mạnh mẽ trong việc phát triển và thiết kế các thiết bị thu có nhiều đặc tính và dễ cấu hình nhằm thỏa mãn các yêu cầu trong các hệ thống truyền thông hiện đại. Bài báo trình bày kiến trúc thiết bị thu vô tuyến SDR (Software Defined Radio) có sử dụng các bộ lọc số kiểu CIC (Cascade Integrator Comb) kết hợp với bộ lọc FIR cho việc xử lý số tín hiệu đa tốc độ (Multi-Rate System) trong tuyến thu vô tuyến SDR. Các bộ lọc số kiểu CIC được thiết kế về mặt kiến trúc và tính toán điều chỉnh các tham số một cách tối ưu sẽ nâng cao hiệu quả xử lý lọc đa tốc độ cho tuyến thu trong khi tối thiểu hóa tài nguyên FPGA sử dụng giải điều chế một số dạng tín hiệu khác nhau. Các kết quả mô phỏng trên môi trường kết hợp Matlab - System Generator so sánh hiệu quả lọc và hiệu quả sử dụng tài nguyên đối với các chế độ thu khác nhau.

Từ khóa: Bộ lọc CIC, bộ lọc FIR, kiến trúc thu vô tuyến SDR.

ABSTRACT In the past, most radio receivers are solely based on analogue technology in almost parts of the receive chain which is less flexibility, hardware dependence. Recent decades have experienced the rapid development of electronic technologies, especially the semi-conductor technology and DSP technology that lend a strong ground to develop and design higher performance and more flexibility receivers that satisfy the demand of modern communication systems. This paper presents wireless receiver architecture SDR (Software Defined Radio) which uses CIC (Cascade Integrator Comb) filters combine with FIR (Finite Impulse Response) filter for digital signal processing multi rate system in wireless receiver based on FPGA technology. CIC filters is designed architecture and calculated, adjusted parameters optimality that improve filter processing multi rate efficiently for receiver while FPGA resources optimum for difference signals demodulation. Simulation results based on combining Matlab and System Generator which compared filter and resource utilize effect with difference receiver methods.

Keywords: CIC filter, FIR filter, SDR wireless receiver architecture,